

基于 HEVC 的 IDCT 变换的 VLSI 设计与实现

陈双双, 洪 亮, 何卫锋, 毛志刚

(上海交通大学微电子学院, 上海, 200240)

摘 要: HEVC(High Efficient Video Coding)是继 H. 264/AVC 之后正在研发的新一代视频编码标准. 与之前的视频编码标准不同的是, HEVC 提出了不同尺寸的变换编码单元来进行图像的空间冗余压缩. 本文设计了一种面向 HEVC 的 32 点二维 IDCT 的全流水电路结构. 为了减少 I/O 带宽压力和硬件开销, 电路采用了单端口输入输出、蝶形运算展开以及奇偶分离累加的方法. 在 TSMC90nm 工艺下综合得到该电路最快工作频率为 315MHz, 电路总门数为 47K. 仿真结果显示该电路结构可以在 300MHz 频率下对分辨率为 4096×2048 的超高清视频做 30 帧/秒的 32 点 IDCT 解码.

关键词: HEVC; IDCT; VLSI; 奇偶分离累加; 低 I/O 带宽

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)07-0055-05

VLSI Design of 2D IDCT Architecture for HEVC

CHEN Shuang-shuang, HONG Liang, HE Wei-feng, MAO Zhi-gang

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: High Efficiency Video Coding (HEVC) is the currently developing video coding standard beyond H. 264/AVC. Differing from previous video codec standards, HEVC proposes the variable block size Transform Unit (TU) to conduct spatial redundancy compression. In this paper, a novel fully pipelined 2-D 32×32 IDCT architecture based on HEVC is presented. To reduce the I/O peak bandwidth and hardware overhead, single-port I/O, the butterfly unrolling and the Odd/Even accumulation separation method is adopted. Using TSMC90nm technology, the proposed architecture is implemented with the maximum work frequency at 315MHz with 47K Gates. Simulation results show that the proposed architecture is able to process $4096 \times 2048@30\text{fps}$ image with 32×32 IDCT.

Key words: HEVC; IDCT; VLSI; Odd/Even separation; low I/O bandwidth

1 引言

随着网络技术和终端处理能力的不断提高和发展, 视频应用不断向高清晰度、高帧率、高压缩率方向发展. 在这些应用中, 多媒体数据量大幅增长, 如超高清视频的数据量是高清视频的 16 倍. 将超高清视频数据传输至用户终端, 特别是对于有着平滑背景的高分辨率视频, 当前主流的视频压缩标准协议 H. 264(AVC)的局限性不断凸显. 近期, ISO-IEC/MPEG 和 ITU-T/VCEG 两大国际标准化组织成立了视频编码联合开发小组(JCT-VC), 其目标是开发新一代国际视频标准, 名称为高性能视频编码

标准(HEVC)^[1-2]. 新一代视频编码标准主要面向高清电视(HDTV)以及视频捕获系统的应用, 提供从 QVGA 至 1080P 以至超高清电视(7680×4320)不同级别的视频应用. 其核心目标是在 H. 264/AVC high profile 的基础上, 压缩率提高一倍, 即在保证相同视频图像质量的前提下, 视频流的码率减少 50%.

HEVC 在增加编码复杂度的情况下, 拥有巨大的计算量和更高的视频压缩效率. 在相同分辨率的图像下, 它的计算量是 H. 264/AVC 的 2-4 倍. 此外, 随着 HEVC 支持到 8K 大小的视频图像处理, 它的计算量也以指数增长.

离散余弦变换是解决压缩图像空间冗余度的主要方法,也是图像达到高压缩率所采用的重要方法之一.当要恢复原始图像信息时,需要将压缩编码后的信息进行离散余弦反变换(IDCT),此过程是解码过程中计算量大且复杂度较高的一个模块,整数 IDCT 变换的速度很大程度上影响了 HEVC 的解码速度.本文在研究 HEVC 视频标准的 IDCT 算法后,设计一种处理 32 点二维 IDCT 的全流水电路结构.为了减少 I/O 带宽和硬件开销,在算法上将传统蝶形运算部分展开,并在电路结构上采用奇偶运算分离和移位加法代替乘法的方式.

2 HEVC 中 IDCT 算法介绍

根据最新的 HEVC 视频编码标准,为了适应高清压缩编码的应用,更有效地减少空间冗余,将处理宏块的大小从 H.264 的 16×16 扩展到了 64×64 .同时,HEVC 采用了更加灵活的编码结构来提高编码效率,包括编码单元(Coding Unit)、预测单元(Predict Unit)和变换单元(Transform Unit).其中 CU 类似于 H.264 中的宏块或子宏块,是 HEVC 编码的基本单元,可变范围为 64×64 至 8×8 ;PU 是进行预测的基本单元;变换单元(TU)是进行变换和量化的基本单元.高清/超高清视频图像上的空间一致性面积可能会更大,因此 HEVC 定义了四种尺寸的变换单元: 32×32 , 16×16 , 8×8 和 4×4 .

二维 32 点 IDCT 变换定义为

$$f(x, y) = \frac{1}{4} \sum_{u=0}^{32} \sum_{v=0}^{32} C(u)C(v)F(u, y) \cdot \cos\left[\frac{(2x+1)u\pi}{64}\right] \cos\left[\frac{(2y+1)v\pi}{64}\right] \quad (1)$$

令:

$$G(u, y) = \frac{1}{2} \sum_{v=0}^{32} C(v)F(u, v) \cos\left[\frac{(2y+1)v\pi}{64}\right] \quad (2)$$

则可将上式变为:

$$f(x, v) = \frac{1}{2} \sum_{v=0}^{32} C(v)G(u, v) \cos\left[\frac{(2x+1)u\pi}{64}\right] \quad (3)$$

即将二维 IDCT 分解为 2 个独立的一维 IDCT, $G(u, y)$ 代表对行数据进行一维 IDCT 变换, $f(x, v)$ 代表对列数据进行一维 IDCT 变换.图 1 是 HEVC 中 16 点一维 IDCT 的数据流图.根据系数矩阵的对称性,做一次 16 点的矩阵乘法可以采用蝶形运算节省一半的硬件资源.

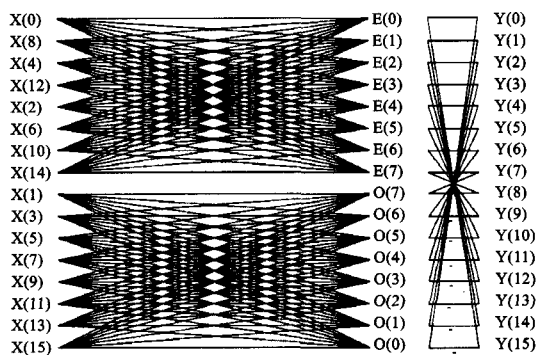


图 1 HEVC 中 16 点一维 IDCT 的数据流

3 完整的 2-D IDCT 电路架构

当前行列分解法被广泛应用在二维 IDCT 电路设计中,如基于分配算法(DA)或者基于 CORDIC 算法的 IDCT 电路^[3].本文提出如图 2 所示的电路结构,包含两个一维 IDCT 核和一个转置存储器.整个电路首先对 32×32 矩阵的每一行分别进行一维 IDCT,将计算得到的中间数据矩阵存储到转置存储器中,再对中间数据的每一列分别进行一维 IDCT,最后得到二维 IDCT 的结果矩阵.其中一维 IDCT 核为单端口输入,每个时钟周期输入一个数据,输出一个数据,减少了 I/O 带宽和硬件开销;中间数据存储器采用乒乓存储器形式,使整个二维 IDCT 变换得以流水进行.

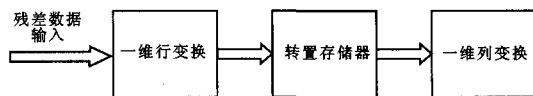


图 2 2-D IDCT 电路结构

3.1 蝶形运算展开方法

从图 1 一维 HEVC IDCT 数据流可以看出,常规电路结构的残差数据以并行输入的方式,在同一个时钟周期输入,这样会给数据传输带宽带来巨大压力,增加硬件资源的开销.特别是 HEVC 面向超高清视频图像处理中,在处理 32×32 大小块时需要并行输入 32 个数据,资源的开销会更加明显.为了解决数据带宽的问题,本文电路结构采用单端口输入/输出的方式,即每个时钟周期输入/输出一个数据.以下将用 4 点 HEVC IDCT 为例来阐述本文的方法,图 3(a)是一维 4 点 IDCT 的蝶形运算流程,图 3(b)是 4×4 HEVC IDCT 的输入输出数据块.

将以上的蝶形运算展开,得到 4 点一维 IDCT 第一行和第二行输入输出数据之间的关系为:

$$y_{00} = 64x_{00} + 83x_{01} + 64x_{02} + 36x_{03} \quad (4)$$

$$y_{01} = 64x_{00} + 36x_{01} - 64x_{02} - 83x_{03} \quad (5)$$

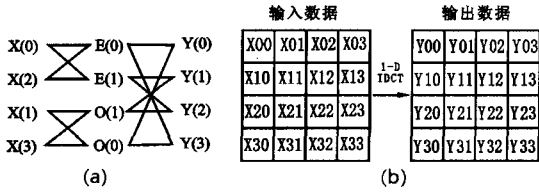


图3 一维4点IDCT

$$y_{02} = 64x_{00} - 36x_{01} - 64x_{02} + 83x_{03} \quad (6)$$

$$y_{03} = 64x_{00} - 83x_{01} + 64x_{02} - 36x_{03} \quad (7)$$

$$y_{10} = 64x_{10} + 83x_{11} + 64x_{12} + 36x_{13} \quad (8)$$

$$y_{11} = 64x_{10} + 36x_{11} - 64x_{12} - 83x_{13} \quad (9)$$

$$y_{12} = 64x_{10} - 36x_{11} - 64x_{12} + 83x_{13} \quad (10)$$

$$y_{13} = 64x_{10} - 83x_{11} + 64x_{12} - 36x_{13} \quad (11)$$

观察等式(4)~(7)和(8)~(11),发现处理每一行输出数据时使用的输入数据是相同的,即用 $x_{00}, x_{01}, x_{02}, x_{03}$ 得到 $y_{00}, y_{01}, y_{02}, y_{03}$ 。同时,等式中 r 行和 $N-r$ 行所用的系数绝对值相同(N 为处理宏块大小)。例如: y_{00} 使用的系数是64,83,64,36, y_{03} 使用的系数是64,-83,64,-36。

3.2 一维IDCT的电路结构

根据上述蝶形运算展开的构想,本文提出图4所示的一维IDCT电路结构。整个一维IDCT核包含8个基本处理模块和一个输出数据排序模块,每个基本处理模块带有一个16位的输入端口,两个延时单元和两个蝶形运算处理单元。每个延时单元将延时一个时钟周期后的输入数据和相对应的矩阵系数传给下一级蝶形运算单元,同时将延时两个时钟周期后的输入数据传给下一级延时单元。每个蝶形运算单元负责实现输入数据和相应的矩阵系数的乘法及累加运算,最后得到两个输出数据。输出排序模块同时接受基本处理模块的8个端口的数据,将一维IDCT变换后得到的输出数据进行排序后按每个周期一个数据输出给转置存储器。

图5是蝶形运算单元的具体结构。主要由常数乘

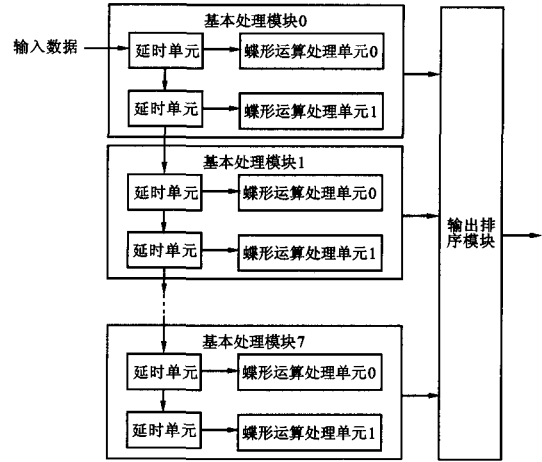


图4 一维IDCT电路结构

法,奇偶累加和蝶形加法模块组成。常数乘法模块将乘法转换成加法和移位来进行,例如等式(12)和(13):

$$83x_{00} = x_{00} \ll 6 + x_{00} \ll 4 + x_{00} \ll 1 + x_{00} \quad (12)$$

$$36x_{00} = x_{00} \ll 5 + x_{00} \ll 2 \quad (13)$$

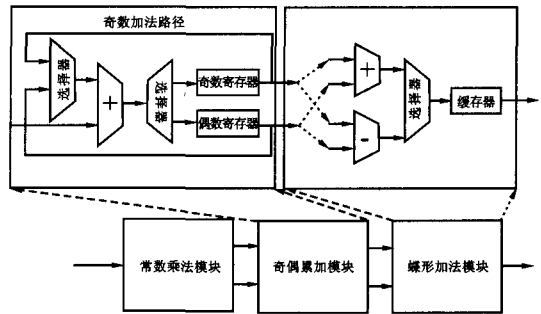


图5 蝶形运算单元结构

图6是常数乘模块的结构。用 $P0 \sim P6$ 表示将常数分解后的不同的移位值,将其作为选择信号去驱动各自的选择器进行移位。常数乘法模块将乘法转换成移位和加法,最后模块单元仅由选择器,移位器和加法器组成。整个模块分成三级流水,由三个时钟周期完成一次常数乘法。

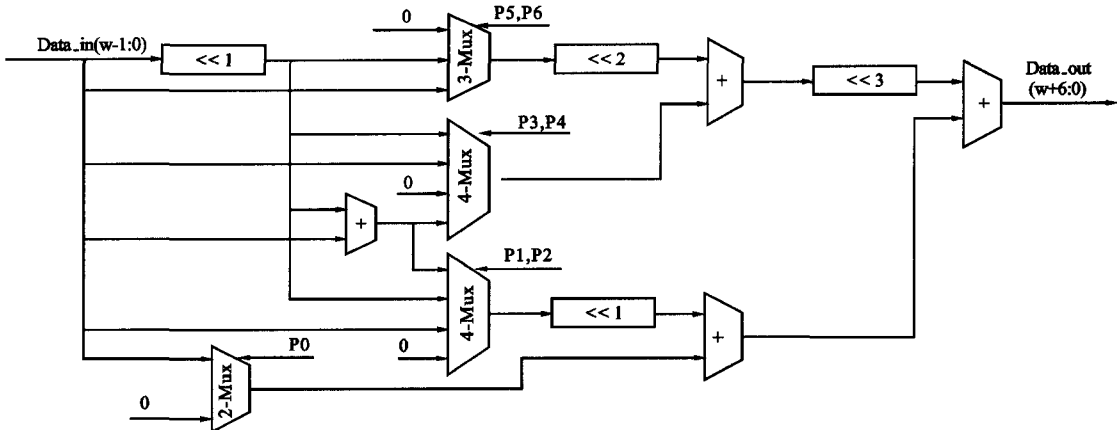


图6 常数乘模块结构

奇偶累加模块实现对常数乘法结果进行累加。在上述方法中,第 r 行的输出像素值和第 $N-r$ 行的输出像素值拥有相同的常数乘法系数绝对值,不同的只是偶数位上的符号值。在奇偶累加模块中,本文设计了奇数累加和偶数累加两条路径,分别进行奇数项结果的累加和偶数项结果的累加。当一行32个残差数据的累加操作完成后,奇偶路径的累加结果分别存放在各自的寄存器中。以4点IDCT为例,设当前运算的输出是 y_{00} ,那么 $64x_{00}+64x_{02}$ 存放在奇数寄存器中, $83x_{01}+36x_{03}$ 存放在偶数寄存器中。这就是本文提出的奇偶分离累加。

蝶形加法模块用于计算输出最终像素值。由于残差数据的累加值被分离为奇数和偶数两个部分,因此蝶形加法模块可以在一个时钟周期内得到第 r 行和第 $N-r$ 行的两个输出像素值。如上述例子,可以在一个周期内得到 y_{00} 和 y_{03} 。采用奇偶分离累加方法以后,整个电路在做第 r 行和第 $N-r$ 行IDCT运算时可以共用常数乘法和奇偶分离累加模块,减少硬件开销。同时,为了达到每个时钟周期输出一个像素值,蝶形加法模块中加了一个寄存器使第 $N-r$ 行输出值延迟一个周期输出。

4 仿真实证与分析

图1根据上述思想,采用Verilog HDL语言对算法进行RTL级电路描述,并用Modelsim6.0进行仿真。将仿真结果与HM6.0解码程序中提取出来的计算结果进行比较,证明采用上面的电路架构实现面向HEVC的32点二维IDCT的结果是正确的。图7是Modelsim6.0仿真结果波形。

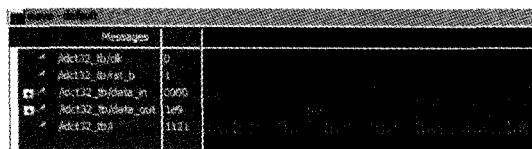


图7 仿真波形图

由仿真波形图可知,本电路结构第一次32点二维IDCT时在第1102个时钟周期输出第一个数据,等电路形成全流水执行时,电路将会1024个时钟周期做完一次32点二维IDCT。

5 电路实现与分析

本设计用TSMC90nm工艺库进行综合,得到电路的最快工作频率为315MHz,同时综合后电路门数为47K门。从仿真结果可以看出,本文提出的电路结构可以在300MHz频率下实现对分辨率为

4096×2048的超高清视频做30帧/秒的解码运算。

表1是本文提出的一维IDCT电路结构与其他高性能一维IDCT电路结构的比较结果。与文献[4]和文献[7]比较,本文的电路结构节省了10.2%和49.5%的硬件开销。根据文献[4]的研究,电路结构可以实现分辨率为3840×2160的超高清视频在300MHz电路频率下做30帧/秒的解码运算。在相同的电路频率下做32×32反变换编码时,本文的电路结构性能是文献[4]的1.19倍。

表1 一维IDCT结构性能比较

对比项	文献[5]	文献[6]	文献[4]	文献[7]	本文结构
算法	Scalable -Da	NEDA	HEVC	Multiples standard	HEVC
变换块 尺寸	8×8	8×8	16/32	4/8/16/32	32×32
乘法器	有	有	无	无	无
工艺	130nm	90nm	0.18μm	0.13μm	90nm
综合门数	15.2K	11.6K	52.3K	93K	47K

6 结束语

HEVC是在H.264之后的新一代视频编码标准。本文在HEVC反变换编码的算法基础上提出了一种处理32点二维IDCT的电路结构。本结构适用于大宏块反变换编码处理,具有很好的流水处理能力,且在较好的硬件开销情况下拥有良好的超高清视频解码处理能力。

参考文献:

- [1] Sullivan G J, Ohm J R. Recent developments in standardization of high efficiency video coding (HEVC)[C]// Applications of Digital Image Processing XXXIII, vol. 7798 of Proceedings of SPIE, San Diego, California, 2010.
- [2] Ugur K, Andersson K, Fuldseth A, et al. High performance, low complexity video coding and the emerging hevc standard[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2010, 20(12): 1688 - 1697.
- [3] Sung T Y, Shieh Y S, Yu C W, et al. High-efficiency and low power architectures for 2-D DCT and IDCT based on CORDIC rotation[C]// IEEE Conf. on PDCAT, Taipei, 2006: 191-196.
- [4] Park J S, Nam W J, Han S M, et al. 2-D large inverse transform (16x16, 32x32) for HEVC (High Efficiency Video Coding)[J]. Journal of Semiconductor Technology and Science, 2012, 12(2): 203-211.

- [5] Chen J W, Hung K, Wang J S, et al. A performance aware IP core design for multi mode transform coding using scalable-DA Algorithm[C]// Proceedings of International Symposium on Circuits and Systems (ISCAS), Island of Kos, 2006; 21-24.
- [6] Lai Y K, Lai Y F. A reconfigurable IDCT architecture for universal video decoders[J]. IEEE Transactions on Consumer Electronics, 2010, 56(3): 1872-1879.
- [7] Shen S, Shen W, Fan F, et al. A unified 4/8/16/32-point integer idct architecture for multiple video coding standards[C]// Multimedia and Expo(ICME). Melbourne VIC, 2012; 788 - 793.

作者简介:

陈双双 男, (1988-), 硕士研究生. 研究方向为数字集成电路设计.

何卫锋 男, (1976-), 博士, 副教授. 研究方向为视频信号处理的 VLSI 结构、MPEG-4/H264/JVT/AVC 视频编解码系统、低功耗可重构多核处理器、计算机系统结构与微体系结构、IP 复用设计、IP 质量度量与评测、SOC 设计与系统集成.

毛志刚 男, (1962-), 博士, 教授. 研究方向为超大规模集成电路设计方法学、IC 卡芯片设计和硬件安全技术研究、集成电路可测性设计和容错设计技术研究、可编程硬件、可重构硬件结构设计技术研究.

(上接第 54 页)

- [3] Chung F R K. Spectral graph theory[M]. Providence: American Mathematical Society, 1997: 227-275.
- [4] 蔡晓妍, 戴冠中, 杨黎斌. 谱聚类算法综述[J]. 计算机科学, 2008, 35(7): 14-18.
- [5] 马秀丽, 焦李成. 联合模型初始化独立谱聚类算法[J]. 西安电子科技大学学报: 自然科学版, 2007, 34(5): 768-772.
- [6] 赵凤, 范九伦. 基于灰度和空间特性的谱聚类图像分割[J]. 西安邮电学院学报, 2012, 17(1): 52-57.
- [7] 闫成新. 基于图论的图像分割研究进展[J]. 计算机工程与应用, 2006, 11(4): 11-14.
- [8] 刘靖明, 韩百川. 基于粒子群的 K 均值聚类算法[J]. 系统工程理论与实践, 2005, 6(4): 54-59.

作者简介:



杨 锋 男, (1987-), 硕士研究生. 研究方向为智能控制与信息处理.

柴 毅 (1962-), 博士, 教授, 博士生导师. 研究方向为智能控制算法、人工智能与专家系统、数字信号处理与模式识别.